



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **58168333 A**(43) Date of publication of application: **04.10.1983**(51) Int. Cl. **H03L 7/08**(21) Application number: **57050438**(22) Date of filing: **29.03.1982**(71) Applicant: **FUJITSU LTD**(72) Inventor: **TANIGUCHI YOSHIHIKO
SUZUKI HAYASHI
NAKAMURA YOSHINORI**(54) **PHASE COMPARING SYSTEM OF PHASE
LOCKING LOOP CIRCUIT**

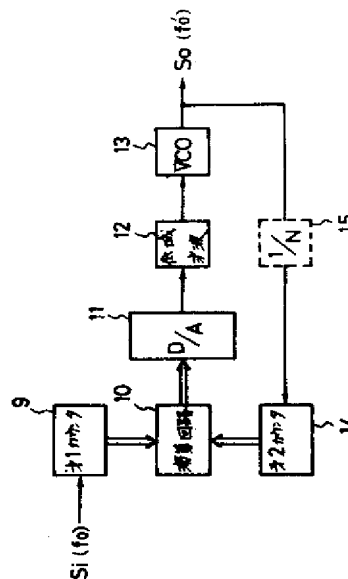
(57) Abstract:

PURPOSE: To reduce the output of a undesirable wave due to phase comparison with a simple constitution of one-system phase locking loop, by controlling a VCO (voltage controlled oscillator) by the differential signal between the counted number of input pulses and the counted number of output pulses.

CONSTITUTION: An input pulse train $S_i(f_0)$ is counted up in the first counter 9. The second counter 14 counts down the output obtained by subjecting an output $S_o(f'_0)$ of a VCO13 to N frequency division. Values of both counters are added in an operating circuit 10. The obtained value is proportional to the phase difference between $S_i(f_0)$ and $S_o(f'_0)$. This value is converted to an analog voltage value by a D/A converter 11 and is applied to a control terminal of the VCO13 through a low pass filter 12 to constitute a phase comparing loop. Though the output value of the D/A converter varies in a range of 1 in a certain ratio, this variance is suppressed by the low pass filter 12; and thus, the

variance of the control voltage is small, and undesired waves in an oscillation frequency f'_0 are reduced.

COPYRIGHT: (C)1983,JPO&Japio



JP58168333A

Publication Title:

PHASE COMPARING SYSTEM OF PHASE LOCKING LOOP CIRCUIT

Abstract:

Abstract of JP 58168333

(A) Translate this text PURPOSE: To reduce the output of a undesirable wave due to phase comparison with a simple constitution of one-system phase locking loop, by controlling a VCO (voltage controlled oscillator) by the differential signal between the counted number of input pulses and the counted number of output pulses. CONSTITUTION: An input pulse train $S_i(f_0)$ is counted up in the first counter 9. The second counter 14 counts down the output obtained by subjecting an output $S_0(f_0)$ of a VCO13 to N frequency division. Values of both counters are added in an operating circuit 10. The obtained value is proportional to the phase difference between $S_i(f_0)$ and $S_0(f_0)$. This value is converted to an analog voltage value by a D/A converter 11 and is applied to a control terminal of the VCO13 through a low pass filter 12 to constitute a phase comparing loop. Though the output value of the D/A converter varies in a range of 1 in a certain ratio, this variance is suppressed by the low pass filter 12; and thus, the variance of the control voltage is small, and undesired waves in an oscillation frequency f_0 are reduced.

Courtesy of <http://v3.espacenet.com>

① 日本国特許庁 (JP)

① 特許出願公開

⑫ 公開特許公報 (A)

昭58—168333

⑤ Int. Cl.³

H 03 L 7/08

識別記号

庁内整理番号

6964—5 J

④ 公開 昭和58年(1983)10月4日

発明の数 1

審査請求 未請求

(全 5 頁)

⑤ 位相同期ループ回路の位相比較方式

川崎市中原区上小田中1015番地
富士通株式会社内

⑥ 特 願 昭57—50438

⑦ 発 明 者 中村善律

⑧ 出 願 昭57(1982)3月29日

川崎市中原区上小田中1015番地
富士通株式会社内

⑨ 発 明 者 谷口良彦

⑩ 出 願 人 富士通株式会社

川崎市中原区上小田中1015番地
富士通株式会社内

川崎市中原区上小田中1015番地

⑪ 発 明 者 鈴木林

⑫ 代 理 人 弁理士 山谷皓栄

明 細 書

1. 発明の名称

位相同期ループ回路の位相比較方式

2. 特許請求の範囲

(1) 基準クロックを計数する第1のカウンタと、電圧制御発振器の出力クロックを計数する第2のカウンタと、前記第1のカウンタおよび第2のカウンタの計数値を連続して比較して前記基準クロックと出力クロックの位相差に比例したデジタル量を出力する演算手段と、このデジタル量をアナログ電圧に変換するデジタル・アナログ変換手段と、このアナログ電圧から交流成分を除去して前記電圧制御発振器に制御電圧として供給する低域濾波手段を有し、前記電圧制御発振器の出力周波数をリニアに制御するようにしたことを特徴とする位相同期ループ回路の位相比較方式。

3. 発明の詳細な説明

(1) 発明の技術分野

本発明は位相同期ループ回路の位相比較方式に関し、特に位相比較回路に起因する出力不純波の発生を小さくするように構成した位相比較方式に関するものである。

(2) 技術的背景

位相比較器、低域濾波器、電圧制御発振器および必要に応じて設けられた分周器などで構成された位相同期ループ (PLL: Phase Locked Loop) 回路は、入力信号と同一周波数、同一位相のきわめて安定した出力信号を比較的簡単に発生できること、1つの基準信号の整数倍または整数分の1の周波数に同期した多数の安定した信号を発生できること等の特徴があるために、近年、通信機器、測定機器、自動制御機器等に多く使用されている。

この位相同期ループ回路においては、位相比較器によつて得られる入力基準信号と出力信号の位相差に比例した制御電圧で電圧制御発振器の発振周波数を制御するが、この制御電圧は、入力基準信号と出力信号の位相差が一定となるときの制御

電圧を中心に位相比較周波数で変動しているのを、出力信号の中には入力基準信号と同じ周波数（分周器のあるときはその通倍周波数）の他に、それと位相比較周波数で変調された不純波を含むことになる。そこで位相同期ループ回路においては、この位相比較器に起因する出力不純波の発生を小さくすることが重要な課題であり、これまでに出力不純波の発生を小さくするようにした位相同期ループ回路が種々提案されている。

(6) 従来技術と問題点

第1図は出力不純波の発生を小さくするようにした従来の位相同期ループ回路の基本構成を示すものである。第1図の位相同期ループ回路は、論理ゲートまたはフリップフロップによる位相比較器1、低域濾波器2、電圧制御発振器4および $1/N$ 分周器8からなる一般的なアナログ位相制御ループ構成と、ビート検出器5、アップ・ダウン・カウンタ6、デジタル・アナログ(D/A)変換器7、電圧制御発振器4及び $1/N$ 分周器8からなるデジタル位相制御ループ構成からなり、これら

がアナログ電圧加算器3で結合されている。

この回路構成では、まずデジタル位相制御ループで粗位相同期がとられ、アナログ位相制御ループで微細位相同期が行われて、出力周波数を安定な $N \times f_0$ （ f_0 は入力基準信号周波数）とし出力不純波の発生を小さくしている。なおこのような回路としては、例えば特開昭53-21558号公報に示されているものがある。

しかし、この第1図に示す回路では、アナログ位相制御ループとデジタル位相制御ループとを必要とするため回路規模が大きくなり、かつアナログ位相制御ループの引込み範囲がデジタル位相制御ループの制御ステップのほぼ2倍になるようにアナログ位相制御ループの利得を調整する必要があるので回路調整が複雑になるのをまぬがれなかつた。

(4) 発明の目的

本発明は前記の如き問題点を改善するために、比較的簡単な回路構成で、しかもアナログ的な利得調整を必要とせず位相比較に起因する出力不

純波の少ない位相同期ループ回路の位相比較方式を提供することを目的とするものである。

(6) 発明の構成

本発明はこのような目的を遂行するため、基準クロックを計数する第1のカウンタと、電圧制御発振器の出力クロックを計数する第2のカウンタと、前記第1のカウンタおよび第2のカウンタの計数値を連続して比較して前記基準クロックと出力クロックの位相差に比例したデジタル量を出力する演算手段と、このデジタル量をアナログ電圧に変換するデジタル・アナログ変換手段と、このアナログ電圧から交流成分を除去して前記電圧制御発振器に制御電圧として供給する低域濾波手段を有し、前記電圧制御発振器の出力周波数をリニアに制御するようにしたことを特徴とする。

(6) 発明の実施例

本発明の一実施例を第2図～第4図にもとづき説明する。

第2図は本発明の一実施例構成図、第3図はその動作説明図、第4図は位相差対電圧制御発振器

制御電圧特性図である。

図中、9は第1カウンタであつて周波数 f_0 の入力基準信号 S_0 を入力クロックとして動作するもの、10は演算回路であつて例えば加算、減算、除算と加算、除算と減算等の演算を適宜行うもの、11はデジタル量をアナログ量に変換するD/A変換器、12は低域濾波器、13は電圧制御発振器、14は第2カウンタであつて電圧制御発振器13の出力信号 S_1 （周波数を f_0' とする）をクロック源として動作するもの、15は $1/N$ 分周器であつて電圧制御発振器13の出力信号周波数を $N \times f_0'$ とするとときに付加される。

また演算回路10にどの演算を行わせるかは他の回路要素により定まるが、いずれの演算方式を採用しても演算回路10の出力として、入力クロックと出力信号 S_0 のクロックの位相差に比例したデジタル量が発生するような演算が行われる。

次に第1カウンタ9として8ビットのアップカウンタを使用し、第2カウンタ14として8ビットのダウンカウンタを使用し、演算回路10とし

て8ビットの加算演算回路を使用した場合を例にとつて、第2図の動作を第3図、第4図を参照しながら説明する。

いま、第1カウンタ9に周波数 f_0 の脉冲(又は正弦波をパルス整形したもの)の入力基準信号 S_i (第3図(i)(a))による基準クロックが供給されるとき、8ビットのこの第1カウンタ9はこの基準クロックの立上りで駆動され、「0」から「255」まで順次計数し、「256」を計数するとき「0」に復帰する計数動作を繰返す(第3図(i)(b))。

一方、第2カウンタ14はダウンカウンタで構成されているために、電圧制御発振器13の出力信号 S_0 (周波数 f_0')の出力クロックの立上りで駆動されると、「255」から1ずつ減少して「0」となり次に再び「255」に復帰する計数動作を繰返す(第3図(i)(c)、(d))。

演算回路10において、第1カウンタ9および第2カウンタ14の計数値に対して加算が行われるときにその加算値が「256」以上になれば、

「256」を減算した値が出力として発生する(第3図(i)(e)、数字は出力の計数値を示す)。

第1カウンタ9はアップカウンタであり第2カウンタ14はダウンカウンタであるので、演算回路10の加算出力は入力基準信号 S_i と出力信号 S_0 の位相差に比例した計数値を示すことになる。したがって演算回路10の計数出力をD/A変換器11によりD/A変換すれば、入力基準信号 S_i と出力信号 S_0 の位相差に対応したアナログ電圧が得られる。

第4図は入力基準信号 S_i と出力信号 S_0 との位相差と、D/A変換器11の出力電圧すなわち電圧制御発振器13の制御電圧の関係を示すものである。

第2図において、入力基準信号 S_i と出力信号 S_0 との位相差が増加すると、すなわち $f_0 > f_0'$ となるとD/A変換器11から発生する制御電圧が増加して電圧制御発振器13の発振出力周波数 f_0' を上げる。また入力基準信号 S_i と出力信号 S_0 の位相差が減少すなわち $f_0 < f_0'$ となると

D/A変換器11から発生する制御電圧が減少して電圧制御発振器13の発振周波数 f_0' を下げる。このようにしていずれの場合でも結局入力基準信号 S_i と出力信号 S_0 の周波数 f_0 と f_0' を一致させるとともにその位相差 θ (第3図(i)(c)参照)も一定にするような制御が行なわれる。

第3図(i)の(e)は同期状態を詳細に示したものである。この例によれば同期時には、演算回路10の計数出力は「127」と「128」が位相差 θ (この値は $127 \times 2 = 254$ と $128 \times 2 = 256$ の間にあることになる)に応じて決まる一定の比率で交互に出現する。このためD/A変換器11の出力も「127」と「128」の入力に相当するアナログ電圧の間で僅かに変動するが、この変動は低域濾波器12により抑圧される。したがって電圧制御発振器13に供給される制御電圧の変動が非常に少ないので、発振周波数 f_0' は不純波の少ないものが得られることになる。

第3図(ii)は $f_0 > f_0'$ の場合の同期引込み動作を説明したものである。ここで(a')は入力基準信

号 S_i (周波数 f_0)の波形図、(b')は第1カウンタ9の計数出力、(c')は電圧制御発振器13の出力信号 S_0 (周波数 $f_0' < f_0$)、(d')は第2カウンタ14の計数出力を示す。

このとき演算回路10は、第1カウンタ9及び第2カウンタ14の計数値を加算して、第3図(ii)の(e')に示すように、「125」→「126」→「125」→「126」→「125」→「126」→「127」→「126」→「127」→「126」→「127」→「126」→「127」→「126」→「127」…と変動を併いながら増加してゆく。これに応じてD/A変換器11の出力電圧も次第に増加するので電圧制御発振器13の発振出力周波数 f_0' も増加してゆき、演算回路10の計数出力は、位相同期がかつた時点で二値の繰返し(例えば、「127」→「128」→「127」→「128」→…)となる。

また $f_0 < f_0'$ の場合は演算回路10の計数出力が $f_0 > f_0'$ の場合と逆に変動を併いながら減少するように動作して同期が行われることになる。

次に第2図において位相同期ループ中に $1/N$ 分周器15を設けた場合について説明する。この場合には電圧制御発振器13の発振周波数は $N \times f_0'$ となるが、第2カウンタ14に供給される信号は $1/N$ に分周されて f_0' となるので、演算回路10では前記第3図において説明したものと同様な操作が行われる。したがって $1/N$ 分周器15を設けた場合は電圧制御発振器13の発振出力周波数が $N f_0'$ となるだけで、その同期制御動作は $1/N$ 分周器15のない場合と同様になる。

なお前記説明において、第2カウンタ14の計数開始値として「128」の場合について説明したが、勿論他の値をとつてもよく設定された同期時の制御電圧レベルに対応して決められるものである。この場合、演算回路10の計数出力(第3図(1)(a))は「128」とは異つた値をとつて同期状態に入ることになる。

それから第2カウンタとして第1カウンタと同じアップカウンタを使用するときは、演算回路として減算回路を使用することにより、入力基準信

号 S_i と出力信号 S_o の位相差に比例した計数出力が得られる。

また $1/N$ 分周器15を使用する代りに演算回路内で第2カウンタの $1/N$ 除算操作を行うようにしてもよい。さらに $1/N$ が $1/2^n$ のときは、演算回路で入力データを n ビットシフトすることにより $1/2^n$ の除算を行うことができる。

このように、演算回路は他の回路構成に応じた演算を行うことにより、第1カウンタから供給される第1のクロックと第2カウンタから供給される第2のクロックの位相差に比例したデジタル量が出力される。

次に本発明の他の実施例を第5図について説明する。この第5図のものは $1/N$ 分周器を使用した場合の例であり、周波数分割多重(FDM)通信に使用する主発振器を構成するものである。

第5図において、16はアップカウンタ、17は加算演算回路、18はD/A変換器、19は低域濾波器、20は電圧制御発振器、21は $1/62$ 分周器、22はダウンカウンタ、23は $1/30$ 分

周器、24は $1/5$ 分周器、25は $1/3$ 分周器である。

いま60KHZの入力信号より整形して得られた同じ周波数のクロックの入力基準信号 S_i を受けて8ビットのアップカウンタ16は計数を行う。電圧制御発振器20は3720KHZの出力信号 S_{01} を発生するが、その出力は $1/62$ 分周器21により60KHZに分周されて監視電流出力 S_{02} となるとともに、 $1/30$ 分周器23により分周されて124KHZの超群搬送^波電流の基本波 S_{03} となる。そして前記60KHZの出力 S_{02} は8ビットのダウンカウンタ22及び $1/5$ 分周器24に供給される。この $1/5$ 分周器24の出力は12KHZの群搬送波電流の基本波 S_0 となる。この基本波 S_{02} は $1/3$ 分周器25により分周されて4KHZの通話路搬送電流の基本波 S_{01} となる。

8ビットのアップカウンタ16の計数値と8ビットのダウンカウンタ22の計数値は加算演算回路17に入力され、その出力は8ビットのD/A変換器18に入力される。このD/A変換器18

はアップカウンタ16及びダウンカウンタ22からの各クロックの位相差に比例した制御電圧を発生し、低域濾波器19を経由して電圧制御発振器20の発振出力周波数を制御する。そしてその位相同期動作は、前記第2図～第4図で説明したものと同様にして行われる。

(7) 発明の効果

本発明によれば一系統の位相同期ループの簡単な回路構成で位相比較に起因する出力不純波を小さくすることができるので、回路規模を小さくできる。また従来例に比較してデジタル処理によりアナログ的な利得調整が不要となるので、回路調整が容易である。さらに部品点数が少なくなるため、信頼性の向上、電力消費を軽減させることができる。

4. 図面の簡単な説明

第1図は従来の位相同期ループ回路、第2図は本発明の一実施例構成図、第3図はその動作説明図、第4図はその位相差対電圧制御発振器制御電

庄特性図、第5図は本発明の他の実施例構成図である。

図中、1は位相比較器、2は低域濾波器、3はアナログ電圧加算器、4は電圧制御発振器、5はビート検出器、6はアップダウン・カウンタ、7はD/A変換器、8は $1/N$ 分周器、9は第1カウンタ、10は演算回路、11はD/A変換器、12は低域濾波器、13は電圧制御発振器、14は第2カウンタ、15は $1/N$ 分周器、16はアップカウンタ、17は加算演算回路、18はD/A変換器、19は低域濾波器、20は電圧制御発振器、21は $1/62$ 分周器、22はダウンカウンタ、23は $1/30$ 分周器、24は $1/5$ 分周器、25は $1/3$ 分周器である。

特許出願人 富士通株式会社

代理人弁理士 山谷 皓 榮

図1

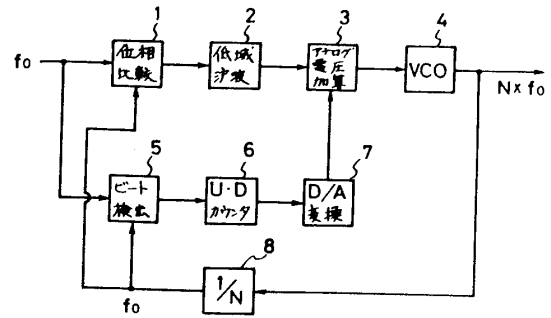


図2

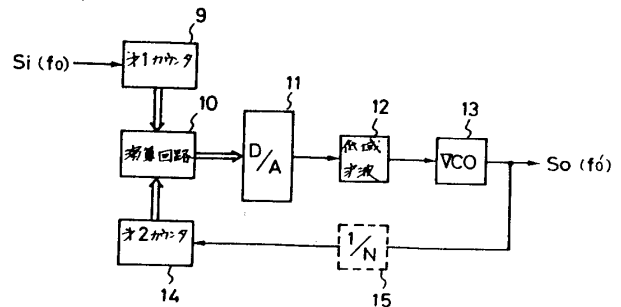
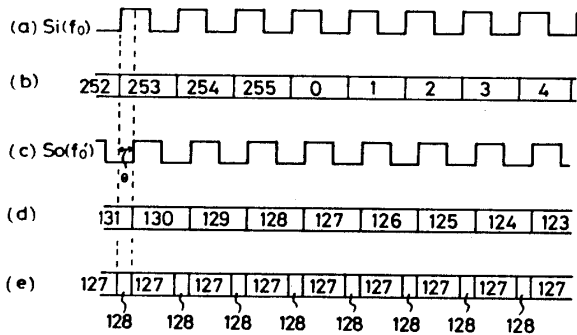


図3

(イ) (同期確立時)



(ロ) (同期引込時, $f_0 > f_0'$)

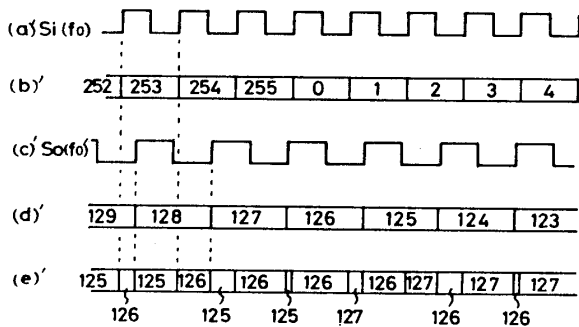


図4

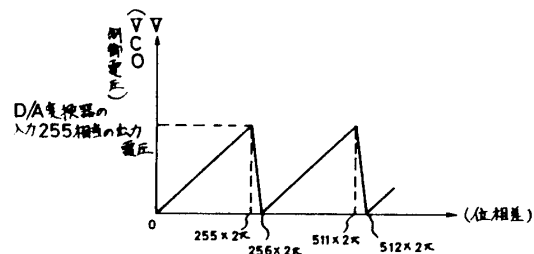


図5

